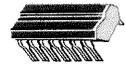


# Técnicas de Fabricação de Circuitos Discretos e Integrados

# 13



## 13.1 INTRODUÇÃO

As técnicas aplicadas na fabricação de dispositivos semicondutores vêm sendo continuamente revistas, modificadas e atualizadas. Nos anos mais recentes, a ênfase principal foi dada na ampliação da *relação de rendimento* (número de elementos bons em um lote), expandindo os níveis de automação (menor necessidade de trabalho manual), e aumentando os níveis de densidade. A seqüência de passos na fabricação de unidades *discretas* (elementos simples) ou *circuitos-integrados*

não mudou significativamente. No entanto, a maneira na qual cada passo é realizado experimentou uma tremenda mudança na última década.

Este capítulo foi desenvolvido para dar uma idéia geral do ciclo de produção de unidades discretas e de CIs, introduzindo algumas das mais importantes fases de produção e a terminologia aplicada. Uma discussão detalhada de apenas um passo desse ciclo seria assunto para um livro inteiro.

## 13.2 MATERIAIS SEMICONDUTORES, Si, Ge e GaAs

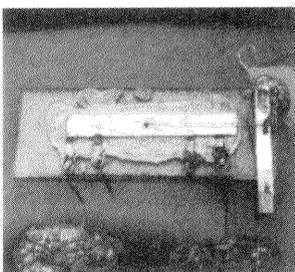
O primeiro passo na fabricação de qualquer dispositivo semicondutor é a obtenção de materiais semicondutores, tais como germânio, silício ou arseneto de gálio, com o nível de pureza desejado. Níveis de impureza de *menos que uma parte em um bilhão* (1 em 1.000.000.000) são empregados amiúde na fabricação de semicondutores hoje em dia.

As matérias-primas são submetidas primeiro a uma série de reações químicas e a um *processo de refinamento de zona* para formar uma *crystal policristalino* com o nível de pureza desejado. Os átomos de um cristal policristalino estão dispostos aleatoriamente, enquanto em um *crystal único* os átomos estão dispostos em uma estrutura simétrica, uniforme, entrelaçados geometricamente.

O aparato de refinamento de zona da Fig. 13.1 consiste em um barco de grafite ou quartzo para contaminação mínima, um recipiente de quartzo e um conjunto de bobinas de indução de RF (radiofrequência). As bobinas ou o barco podem ser movimentados ao longo do comprimento do recipiente de quartzo. O mesmo resultado seria obtido em qualquer caso, embora tenhamos introduzido aqui a abordagem do movimento das bobinas, uma vez que parece ser o método mais popular. O interior do recipiente de quartzo é preenchido com gás inerte (pouca ou nenhuma reação química) ou vácuo para reduzir mais ainda a chance de contaminação. No processo de refinamento de zona, uma barra de germânio é colocada no barco com as bobinas em uma



Jack St. Clair Kilby, inventor do circuito integrado e co-inventor da calculadora eletrônica portátil. (Cortesia da Texas Instruments, Inc.)



O primeiro circuito integrado, um oscilador de desvio de fase, inventado por Jack S. Kilby em 1958. (Cortesia da Texas Instruments, Inc.)

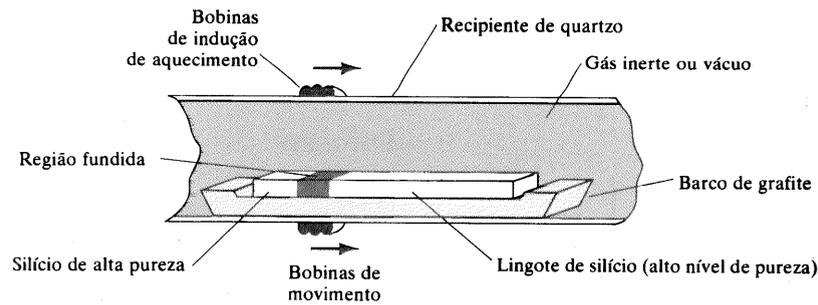
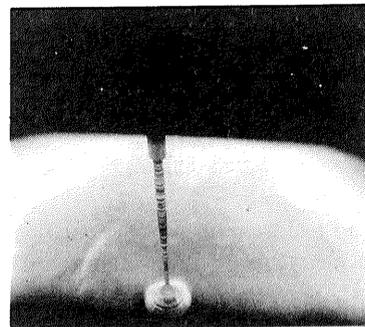
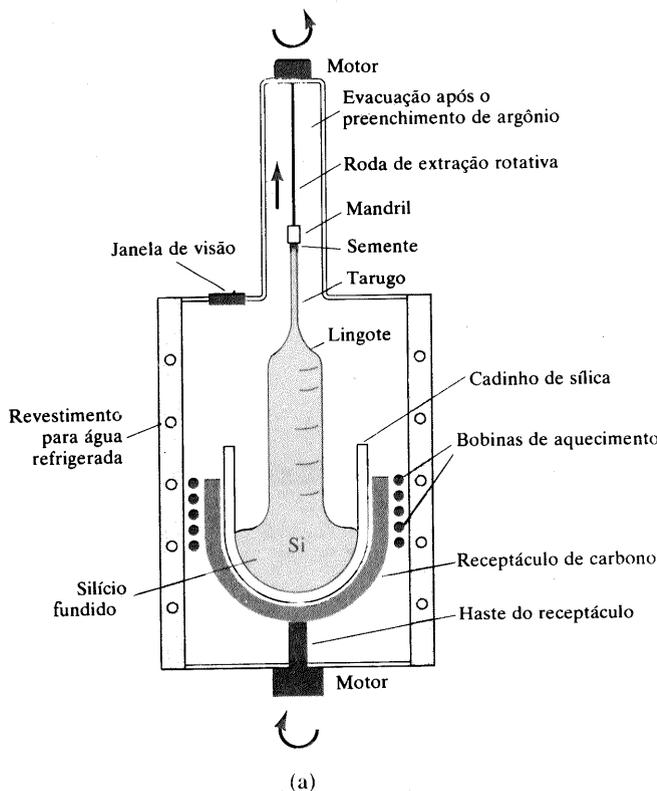


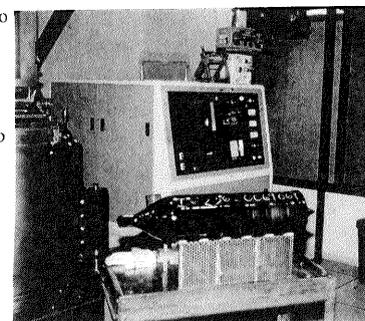
Fig. 13.1 Processo de refinamento de zona.

extremidade da barra, como mostrado na Fig. 13.1. O sinal de radiofrequência é então aplicado à bobina, a qual induzirá um fluxo de carga (correntes de redemoinho) no lingote de silício. A amplitude dessas correntes é elevada até produzir um aquecimento suficiente para fundir aquela região do material semicondutor. As impurezas no lingote ficarão em um estado mais líquido que o material semicondutor circundante. Se as bobinas de indução da Fig. 13.1 são, agora, movidas lentamente para a direita, para induzir a fusão na região vizinha, as impurezas “mais fluidas” “seguirão” a região fundida. O resultado final é que uma grande porcentagem das impurezas aparecerá à direita do lingote quando as bobinas de indução atingirem esta extremidade. Esta parte de impurezas pode, então, ser retirada fora e o processo inteiro repetido até o nível de pureza desejado ser atingido.

O próximo passo na seqüência de fabricação é a formação de um cristal único de germânio ou silício. Isto é conseguido, mais comumente, usando a técnica de *Czochralski*. O aparato empregado na técnica de *Czochralski* é mostrado na Fig. 13.2a. O material policristalino é transformado primeiro para o estado de fusão pelas bobinas de indução de RF. Uma “semente” de cristal único com o nível desejado de impurezas é então imerso no silício fundido e retirado gradualmente enquanto a haste de retenção da semente é girada lentamente. Quando a “semente” é retirada, uma estrutura entrelaçada de cristal único de silício crescerá sobre a “semente” como demonstrado pelo “tarugo” do lingote na Fig. 13.2b. Os lingotes de cristal único resultantes têm tipicamente de 6 a 36 polegadas de comprimento e de 1 a 8 polegadas de diâmetro. Um lingote e um forno de *Czochralski* aparecem na Fig. 13.2(c).



(b)



(c)

Fig. 13.2 (a) Forno de Czochralski; (b) “Tarugo” do lingote; (c) Resfriamento do lingote na frente do forno de Czochralski. (Cortesia de Texas Instruments, Inc.)

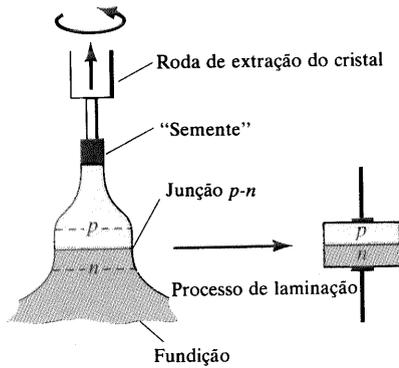


Fig. 13.3 Diodo com crescimento de junção.

### 13.3 DIODOS DISCRETOS

Diodos semicondutores são classificados normalmente em um dos seguintes tipos: *crescimento de junção*, *liga de fusão*, *difusão* ou *crescimento epitaxial*. Uma breve descrição de cada processo é fornecida nos próximos parágrafos.

#### Crescimento de Junção

Diodos deste tipo são formados durante o processo de *extração do cristal* de Czochralski. Impurezas do tipo *p* e tipo *n* podem ser, alternadamente, adicionadas ao material semiconductor fundido, no cadinho, resultando numa junção *p-n*, conforme indicado na Fig. 13.3, quando o cristal é extraído. Após a laminação, o dispositivo com uma área relativamente grande pode então ser cortado num grande número (por vezes, milhares) de diodos semicondutores de área muito menor. A área grande, entretanto, introduzirá os efeitos de uma capacitância de junção indesejada.

#### Liga de Fusão

O processo de fusão resulta num diodo semiconductor do tipo junção que também apresenta um alto valor de corrente nominal e um alto valor de TPI (tensão de pico inversa) máxima. A capacitância de junção também é grande, entretanto, devido à grande área da junção.

A junção *p-n* é formada colocando, primeiro, uma impureza tipo *p* sobre um substrato tipo *n* e aquecendo os dois, até ocorrer a liquefação no ponto de encontro dos dois materiais (Fig. 13.4). Uma liga resultará que, quando resfriada, produzirá uma junção *p-n* na região de contato entre o metal e o substrato. As funções

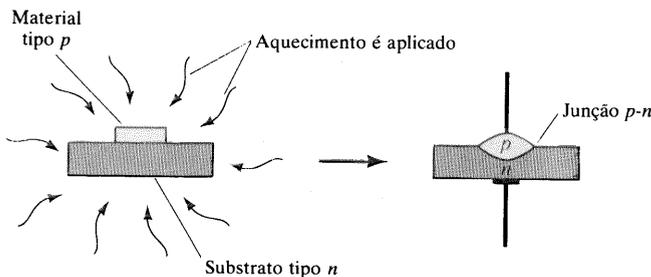


Fig. 13.4 Diodo pelo processo de liga de fusão.

desempenhadas pelos materiais tipo *p* e tipo *n* podem ser intercambiados.

#### Difusão

O processo de difusão para formação de diodos semicondutores de junção pode empregar difusão sólida ou gasosa. Este processo requer mais tempo que o processo de liga de fusão, mas é relativamente barato e pode ser controlado com mais precisão. A difusão é um processo pelo qual uma concentração forte de partículas se “difunde” para dentro de uma região circundante de concentração muito menor. A diferença principal entre o processo de difusão e a liga de fusão é que não há liquefação no processo de difusão. Aquecimento é aplicado no processo de difusão somente para aumentar a atividade dos elementos envolvidos.

O processo de difusão sólida começa com a “pintura” de uma impureza receptora sobre um substrato tipo *n* e aquecendo-os até as impurezas se difundirem para dentro do substrato para formar a camada tipo *p* (Fig. 13.5a).

No processo de difusão gasosa, um material tipo *n* é submerso numa atmosfera gasosa de impurezas receptoras e então aquecido (Fig. 13.5b). As impurezas difundem-se para dentro do substrato para formarem a camada tipo *p* do diodo semiconductor. As funções dos materiais tipo *p* e tipo *n* podem ser intercambiados em cada caso. O processo de difusão é o mais utilizado hoje em dia na fabricação de diodos semicondutores.

#### Crescimento Epitaxial

O termo *epitaxial* tem sua origem dos termos gregos *epi*, que significa “sobre” e *taxis*, que significa “arranjo”. A base da lâmina de material  $n^+$  é conectada a um condutor metálico como mostrado na Fig. 13.6. O  $n^+$  indica um nível de dopagem muito alta para uma resistência característica reduzi-

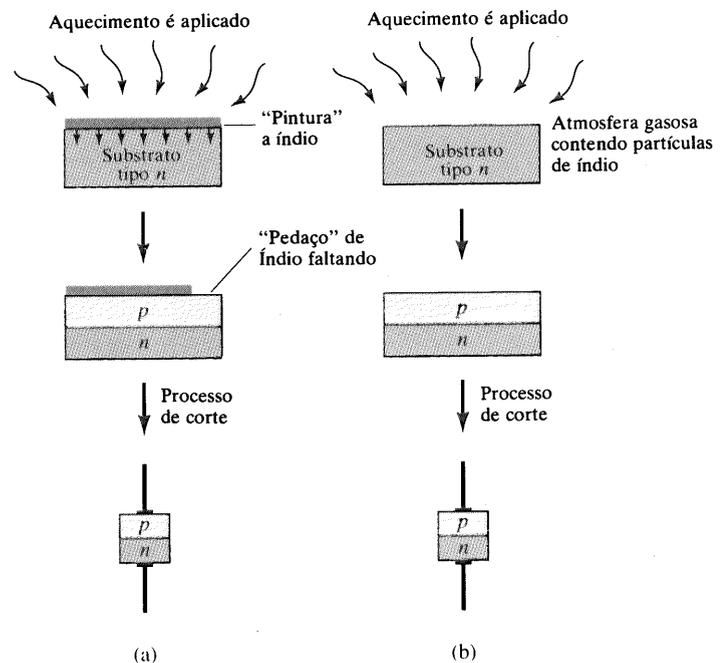


Fig. 13.5 Diodos pelo processo de difusão: (a) difusão sólida; (b) difusão gasosa.

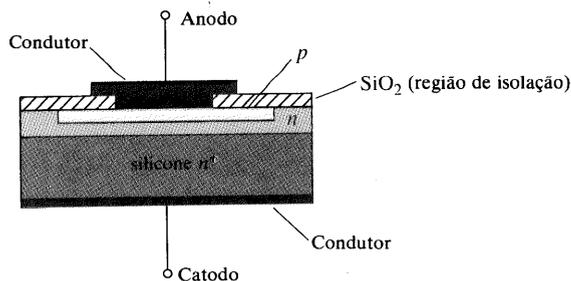


Fig. 13.6 Diodo semiconductor com crescimento epitaxial.

da. Sua finalidade é atuar como uma extensão semicondutora do condutor e não como o material tipo  $n$  da junção  $p-n$ . A camada tipo  $n$  deve ser depositada sobre esta camada, como mostrado na Fig. 13.6, usando um processo de difusão. Esta técnica de usar uma base  $n^+$  dá ao fabricante vantagens significativas no projeto. O silício tipo  $p$  é então aplicado usando a técnica de difusão, e o conector metálico do anodo adicionado como indicado na Fig. 13.6.

### 13.4 FABRICAÇÃO DE TRANSISTOR

A maioria dos métodos usados para fabricar transistores são simplesmente extensões dos métodos usados para fabricar diodos semicondutores. Os métodos mais freqüentemente empregados hoje incluem  *fusão de junção*,  *crescimento de junção* e  *difusão*. A discussão a seguir de cada método será breve, mas os passos fundamentais incluídos em cada um serão apresentados.

#### Fusão de Junção

A técnica de fusão de junção é uma extensão do método liga de fusão para fabricação de diodos semicondutores. Para um transistor, entretanto, dois pontos da mesma impureza são depositados sobre cada lado da lâmina semicondutora, que fica com as impurezas em lados opostos como mostrado na Fig. 13.7. A estrutura inteira é então aquecida até ocorrer a fusão e cada ponto é ligado à base da lâmina, resultando em junções  $p-n$  indicadas na Fig. 13.7, como descrito para diodos semicondutores.

O ponto do coletor e a junção resultante são maiores, para resistir a altas correntes e à dissipação de potência na junção base-emissor. Este método não é tão empregado quanto a técnica de difusão a ser descrita em breve, mas é ainda usado extensivamente na fabricação de diodos de alta potência.

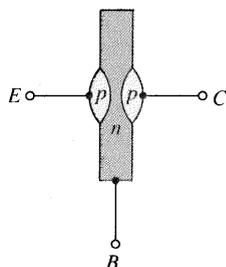


Fig. 13.7 Transistor com fusão de junção.

### Crescimento de Junção

A técnica de Czochralski é usada para formar as junções  $p-n$  do transistor de crescimento de junção. O processo, como retratado na Fig. 13.8, requer que o controle de impurezas e a taxa de retirada sejam tais que assegurem a largura da base apropriada e os níveis de dopagem dos materiais tipo  $n$  e  $p$ . Transistores deste tipo são, em geral, limitados a uma potência nominal menor do que  $\frac{1}{4}W$ .

### Difusão

O método mais empregado hoje em dia para a fabricação de transistores utiliza a técnica de difusão. O processo básico foi introduzido quando discutiu-se a fabricação de diodos semicondutores. A técnica de difusão é empregada na fabricação de transistores  *mesa* e  *planar*, cada um dos quais podendo ser do tipo  *difundido* ou  *epitaxial*.

No transistor mesa do tipo difusão  $pnp$ , o primeiro processo é uma difusão tipo  $n$  dentro de uma lâmina tipo  $p$ , como mostrado na Fig. 13.9, para formar a região da base. Em seguida, o emissor tipo  $p$  é difundido ou ligado à base tipo  $n$  como mostrado na figura. Utiliza-se um ataque químico para reduzir a capacitância da junção do coletor. O termo “*mesa*” é devido à sua semelhança com esse tipo de formação geográfica (planalto). Como mencionado anteriormente, a técnica de difusão permite um controle muito rígido dos níveis de dopagem e espessura das várias regiões.

A maior diferença entre o transistor mesa epitaxial e o transistor mesa é a adição da camada epitaxial sobre o substrato do coletor original. O termo epitaxial origina-se das palavras gregas  *epi* — sobre — e  *taxi* — arranjo —, as quais descrevem o processo envolvido na formação desta camada adicional. O substrato tipo  $p$  original (coletor da Fig. 13.10) é colocado num recipiente fechado contendo vapor das mesmas impurezas. Através de um controle de temperatura apropriado, os átomos do vapor se  *depositam* e se  *arranjam* sobre o substrato original tipo  $p$ , resultando em uma camada epitaxial indicada na Fig. 13.10. Uma vez estabelecida esta camada, o processo continua, como descrito acima para o transistor mesa, para formar as regiões de base e emissor. O substrato tipo  $p$  original terá um alto nível de dopagem e, correspondentemente, menos resistência que a camada epitaxial. O resultado é uma conexão de baixa resistência para o terminal coletor que reduzirá as perdas por dissipação do transistor.

Os transistores planar e epitaxial planar são fabricados usando dois processos de difusão para formar as regiões de base e

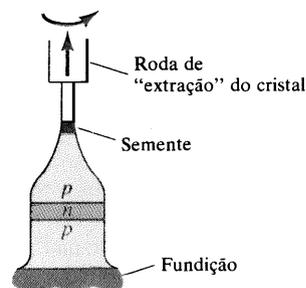


Fig. 13.8 Transistor com crescimento de junção.

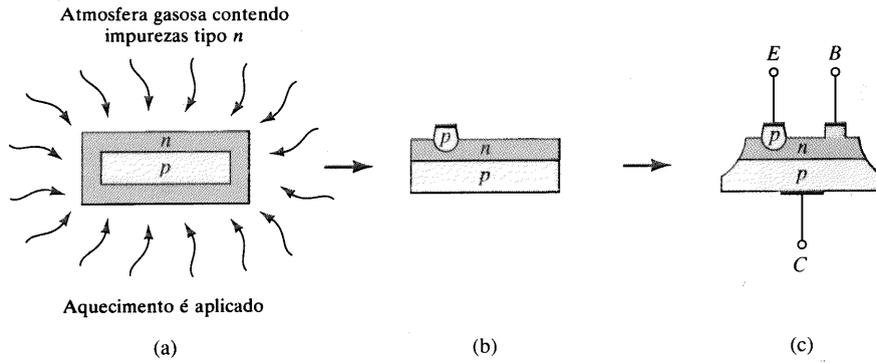


Fig. 13.9 Transistor mesa: (a) processo de difusão; (b) processo de liga de fusão; (c) processo de ataque químico.

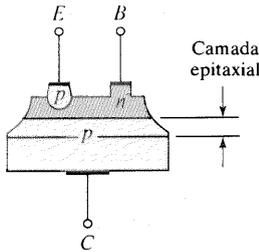


Fig. 13.10 Transistor mesa epitaxial.

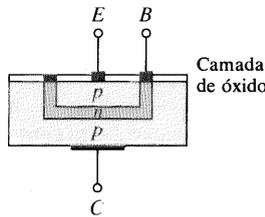


Fig. 13.11 Transistor planar.

emissor. O transistor planar, como mostrado na Fig. 13.11, tem superfície plana, a qual contribui para o termo *planar*. Uma camada óxida é adicionada, como mostrado na Fig. 13.11, para eliminar junções expostas, que reduzem substancialmente as perdas de fuga na superfície (correntes de fuga na superfície em vez de na junção).

### 13.5 CIRCUITOS INTEGRADOS

Durante a década passada, o *circuito integrado* (CI) tornou-se um produto cuja função básica e finalidade passaram a ser de conhecimento da maioria, mesmo de pessoas não-especializadas no assunto, devido à diversificação e divulgação de seu uso. A característica mais notável de um CI é seu tamanho. É, tipicamente, milhares de vezes menor que uma estrutura semicondutora construída de maneira usual com componentes discretos. Por exemplo, o circuito integrado mostrado na Fig. 13.12 tem 275.000 transistores em adição a uma variedade de outros elementos, embora possua apenas  $280 \times 250$  mils ou cerca de  $\frac{9}{32}$ '' por  $\frac{1}{4}$ ''.

de microcomputadores fabricados por companhias tais como a Apple, Hewlett Packard, Motorola e outras.

Circuitos integrados são raramente — e se forem — reparados; isto é, se um simples componente dentro de um CI falhar, a estrutura inteira (circuito completo) é substituída — uma abordagem mais econômica. Há três tipos de CIs disponíveis comercialmente em grande escala hoje. Eles incluem o monolítico, filme fino (ou espesso), e circuitos híbridos integrados. Cada um desses será introduzido neste capítulo.

### Desenvolvimentos Recentes

Embora a seqüência de passos que levam à fabricação de um circuito integrado não tenha mudado substancialmente durante a década passada, a maneira na qual cada passo é executado mudou dramaticamente. Há pouco tempo, o fabricante de CIs projetava, construía e mantinha o equipamento empregado no ciclo de produção. Hoje, entretanto, novas indústrias emergiram e assumiram a responsabilidade de introduzir os avanços tecnológicos mais recentes dentro dos equipamentos de processamento. O resultado é que o fabricante pode se concentrar no projeto, controle de qualidade, melhorar o desempenho e características de confiabilidade, e ainda na miniaturização. O equipamento disponível das companhias periféricas possui um alto preço (custos unitários acima de 1 milhão de dólares não são incomuns), e uma operação de 24 horas é quase uma necessidade para que seja assegurada uma política econômica válida. No esforço de assegurar uma operação sem quebra de continuidade, os grandes fabricantes de CIs têm sua própria equipe de serviços, não dependendo, desta forma, da resposta imediata dos fabricantes de equipamentos.

A automação continua sendo um importante aspecto no ciclo de produção. Uma grande quantidade de controles por microprocessador introduzidos na forma de “endereço por fitas” tem reduzido significativamente a possibilidade de erro devido à transferência incorreta de informações para a unidade de processamento. Tem também uma sensibilidade com o processo que está sendo executado, a qual é indisponível na curva de resposta do ser humano. Com o objetivo de melhorar o controle do processo, grande parte do ciclo de produção passou a depender de operações comandadas por computador, com terminais próximos ao equipamento de processamento ou mesmo com o equipamento acoplado diretamente ao computador principal. O nível crescente de automação também reduz a quantidade de “manuseio” e contato com a lâmina, reduzindo, portanto, o número de fontes de contaminação e aumentando o fator de rendimento.

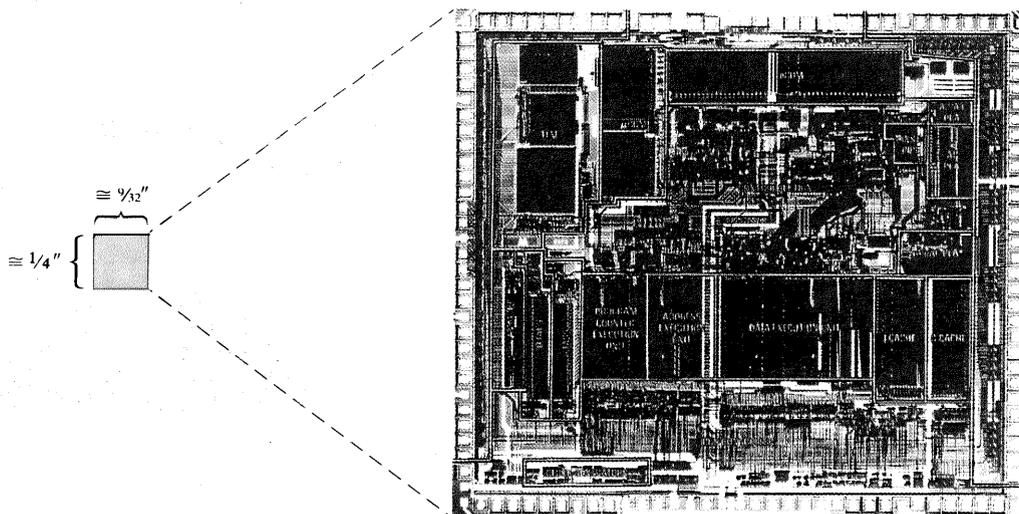


Fig. 13.12 O microprocessador MC68030 e suas dimensões externas reais. (Cortesia Motorola, Inc.)

Uma das áreas de interesse contínuo é o nível de rendimento. O número médio de unidades “boas” resultantes de uma lâmina está melhorando, mas ainda se situa no nível de 60 a 80%. Entretanto, pode-se imaginar que como a “característica” tamanho diminui e a densidade aumenta, o nível de rendimento não varia significativamente, mas o número de componentes produzidos na mesma área de lâmina está aumentando numa taxa dramática. Ou seja, se nós usássemos os procedimentos de melhoria da produção de hoje nos CIs fabricados há 5 anos o nível de rendimento provavelmente excederia 95%.

Desenvolvimentos da última década resultaram num acolhimento geral pela indústria de que a *densidade do CI quase duplicará a cada dois anos*. Antigamente, as dimensões eram fornecidas em mils e mils quadrados. Hoje, o micrão ou micrômetro ( $1/1.000.000$  de um metro;  $\mu\text{m}$ ) é a medida padrão, com  $1 \text{ mil} = \frac{1}{1000} = 25,4 \mu\text{m}$ .

A densidade crescente e os níveis de rendimento melhorados são devidos a máquinas mais sofisticadas no ciclo de produção, métodos aperfeiçoados de detectar e corrigir defeitos, níveis mais altos de limpeza, níveis de pureza elevados dos materiais processados, materiais de fabricação melhorados e um número crescente de passos de processamento.

Enquanto as salas classe 100 eram comuns há 5 anos, salas classe 10 representam o padrão atual da indústria. Uma sala classe 1 é cem vezes mais limpa que um ambiente típico de hospital. O valor da classe indica o número de partículas de  $1 \mu\text{m}$  ou maiores por pé cúbico. O custo para o estabelecimento deste ambiente é enorme. Um fluxo laminar contínuo de ar filtrado é estabelecido entre o chão e o teto para manter o alto nível de limpeza. O roupão branco, botas e chapéu que aparecem em algumas das fotografias neste capítulo são requeridos em áreas de produção. O controle é tão rígido que mulheres trabalhando em muitas dessas áreas não podem usar maquiagem, para eliminar qualquer introdução possível de partículas estranhas ao ambiente.

A água empregada nas operações de enxágüe e limpeza é filtrada em  $0,2 \mu\text{m}$  e tem um nível de resistividade de  $18 \text{ M}\Omega$  (recorde a discussão sobre resistividade no Cap. 1). É tão livre de organismos contaminantes que não permite o desenvolvimento de culturas. Por sua vez, a pureza dos materiais de processamen-

to, tais como os químicos, camadas e outros materiais que “to-cam” a lâmina, melhorou para se adaptar aos níveis elevados de densidade. A largura das trilhas implementadas pelas técnicas de fabricação atuais é, tipicamente, de  $0,5 \mu\text{m}$ , devendo alcançar  $0,35 \mu\text{m}$  em dois ou três anos. Em centros de pesquisa conseguem-se valores de  $0,25 \mu\text{m}$  ou menos.

O silício foi o suporte-mestre para a indústria desde o seu nascimento até o ciclo de produção de hoje. Como os níveis de densidade continuam a aumentar e a largura das trilhas a diminuir, talvez haja necessidade de mudar para materiais como o GaAs (arseneto de gálio), que apresenta um desempenho melhor.

Devido aos enormes investimentos, é uma necessidade absoluta que o processamento do produto seja rigidamente controlado através de um forte sistema de gerenciamento. O computador está agora desempenhando um papel muito importante no fornecimento dos dados requeridos para tal vigilância contínua do ciclo de produção. Uma variedade de melhoramentos nos processos de fabricação é descrita abaixo à medida que cada passo de produção é comentado.

## 13.6 CIRCUITO INTEGRADO MONOLÍTICO

O termo *monolítico* origina-se de uma combinação das palavras gregas *monos*, significando único, e *lithos* significando pedra, as quais, combinadas, representam uma tradução literal, pedra-única, ou mais apropriadamente, estrutura de sólido único. Como este termo sugere, o CI monolítico é construído dentro de uma lâmina *única* de material semiconductor. Lâminas tão finas quanto  $1/1000$  polegada ( $\cong$  um quinto da espessura desta página) podem ser obtidas usando um processo de laminação como mostrado na Fig. 13.13. A porção maior da lâmina atuará simplesmente como estrutura de suporte para o CI muito fino resultante. Uma visão global dos estágios envolvidos na fabricação dos CIs monolíticos é fornecida na Fig. 13.14. A Fig. 13.14 apresenta as etapas necessárias para se chegar a um produto acabado. A figura, entretanto, destaca as maiores fases de produção na formação do CI monolítico.

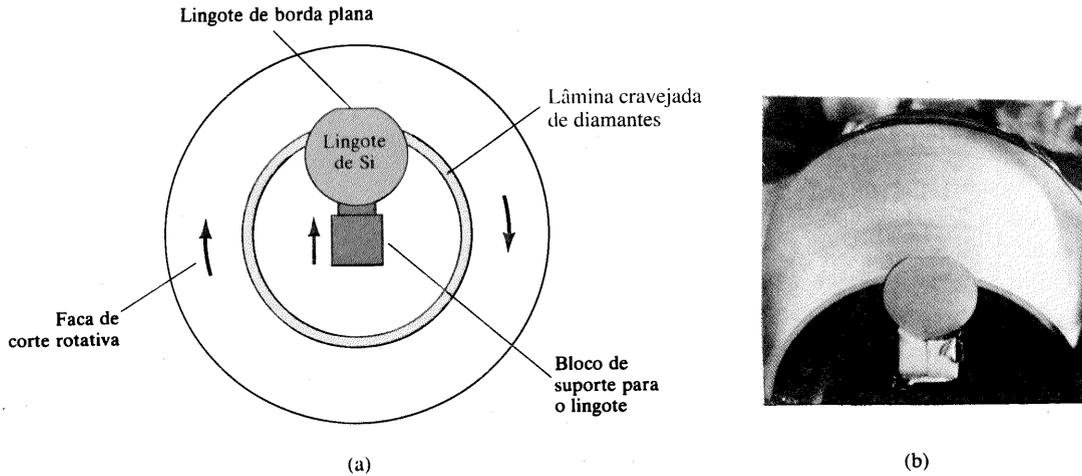


Fig. 13.13 Fatiamento do lingote de cristal-único em lâminas. (Cortesia Texas Instruments, Inc.)

Desde o início da década de 80 constata-se uma preferência pelos CIs MOS aos CIs bipolares. Embora muitas etapas de fabricação sejam comuns a ambos, há algumas diferenças-chaves, principalmente no que se refere à implantação de íons na maioria das etapas relativas a dopagem. Como indicado na Fig. 13.14, é necessário inicialmente projetar um circuito que atenda às especificações. O circuito deve, então, ser exposto a fim de assegurar um uso otimizado do espaço disponível e um mínimo de dificuldade na realização do processo de difusão que virá a seguir. O aspecto da máscara e sua função na seqüência de estágios indicados serão introduzidos em breve. Por enquanto basta dizer que a máscara tem o aspecto de um negativo através do qual as impurezas podem ser difundidas (por meio das áreas claras) dentro da lâmina de si-

lício. O processo de difusão real para cada fase é semelhante àquele aplicado na fabricação de transistores por difusão. A última máscara da série controlará a posição do padrão das interconexões condutoras entre os vários elementos. A lâmina passa então por vários procedimentos de teste, é serrada e separada em pastilhas (chips) individuais, encapsuladas e montadas conforme indicado. Uma lâmina de silício processada aparece na Fig. 13.15. O tamanho de cada pastilha (chip) determinará, certamente, o número de circuitos individuais resultantes de uma única lâmina. As dimensões de cada chip da lâmina, na Fig. 13.15, são 25 × 25 mils. Para destacar o tamanho desses chips, considere que 40 deles podem ser alinhados ao longo de um comprimento de 1 polegada. O tamanho médio relativo dos elementos de um CI monolítico aparece na Fig.

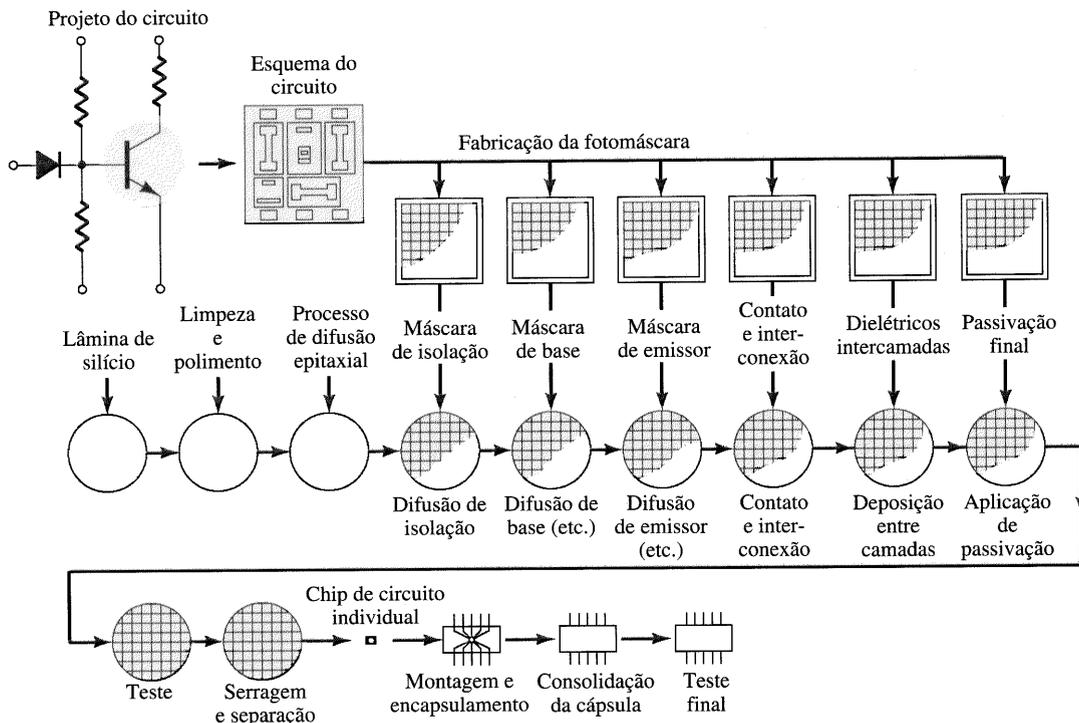


Fig. 13.14 Fabricação de circuito integrado monolítico. (Cortesia Robert Hibberd.)

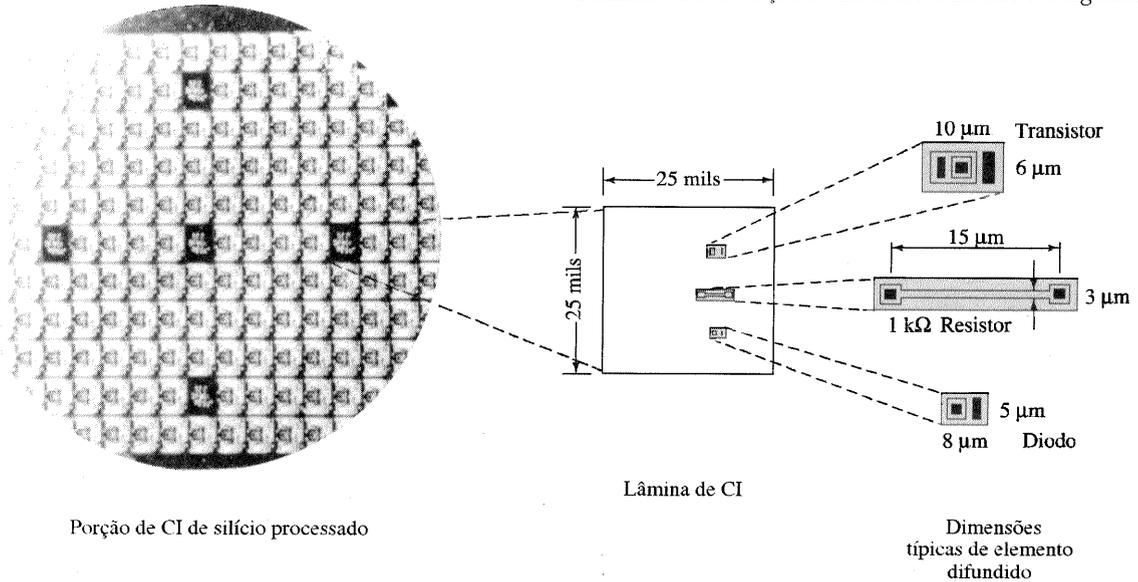


Fig. 13.15 Lâmina de CI monolítico processada com as dimensões relativas dos vários elementos. (Cortesia de Robert Hibberd.)

13.15. Observe a grande área requerida para um resistor de 1 kΩ comparada aos outros elementos indicados.

Um artigo recente apresentou, em porcentagem, os custos relativos dos vários estágios na produção do CI monolítico comparados aos custos na fabricação de transistores discretos. Os gráficos resultantes aparecem na Fig. 13.16. A fase de processamento inclui todas as etapas que dão origem aos chips da Fig. 13.15. Observe a diferença de custos para as várias fases de produção, determinada, na verdade, pelo tamanho e densidade do chip.

A difusão seletiva requerida na formação dos vários elementos ativos e passivos de um circuito integrado é conseguida através do uso de máscaras tal como a mostrada na Fig. 13.17. As áreas claras são as únicas áreas através das quais impurezas doadoras e receptoras podem passar. As áreas escuras bloqueiam a

difusão de impurezas, assim como a sombra evita que a luz do sol modifique a pigmentação da pele.

A seqüência de passos que leva à máscara final é controlada pela largura dos menores componentes sobre a lâmina. A litografia por feixe de elétrons em 0,5 μm (0,25 μm no futuro) é normalmente empregada na seqüência de produção da máscara.

Antigamente, a confecção de uma máscara necessitava inicialmente de um desenho em larga escala de todas as camadas. O trabalho era então transferido para um revestimento claro de Mylar coberto com plástico vermelho, chamado *Rubylith*. Cortes muito precisos eram feitos no material vermelho, e seções eram descascadas para revelar as regiões através das quais a difusão de impurezas poderia ocorrer. O padrão resultante era, então, fotografado e reduzido em 500 × (500 vezes o tamanho desejado para produção) numa série de passos, até que a matriz (retículo) desejada fosse obtida.

Hoje em dia, o mesmo desenho é feito em uma estação de trabalho com computador. Os dados são transferidos diretamente

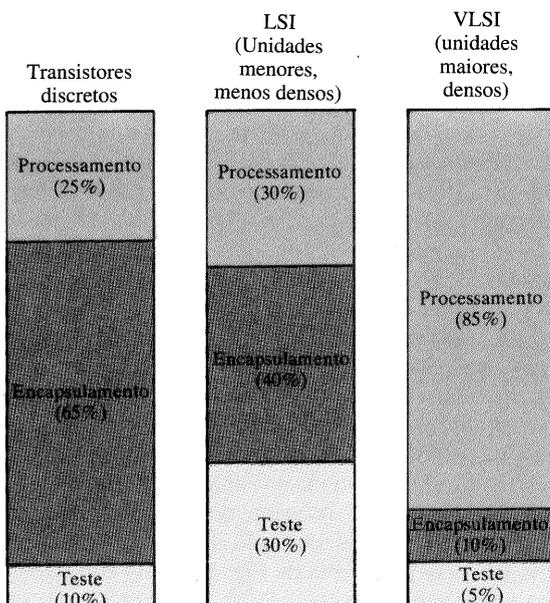


Fig. 13.16 Classificação de custos para a fabricação de transistores discretos e dos circuitos integrados em larga escala (LSI) e circuitos integrados em escala muito larga (VLSI).

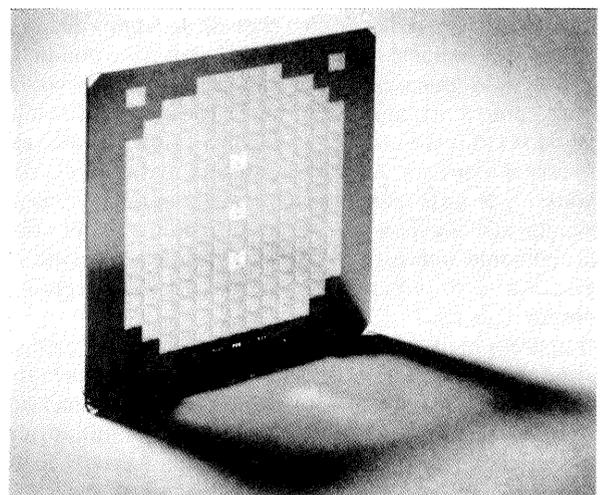


Fig. 13.17 Máscara. (Cortesia Motorola, Inc.)

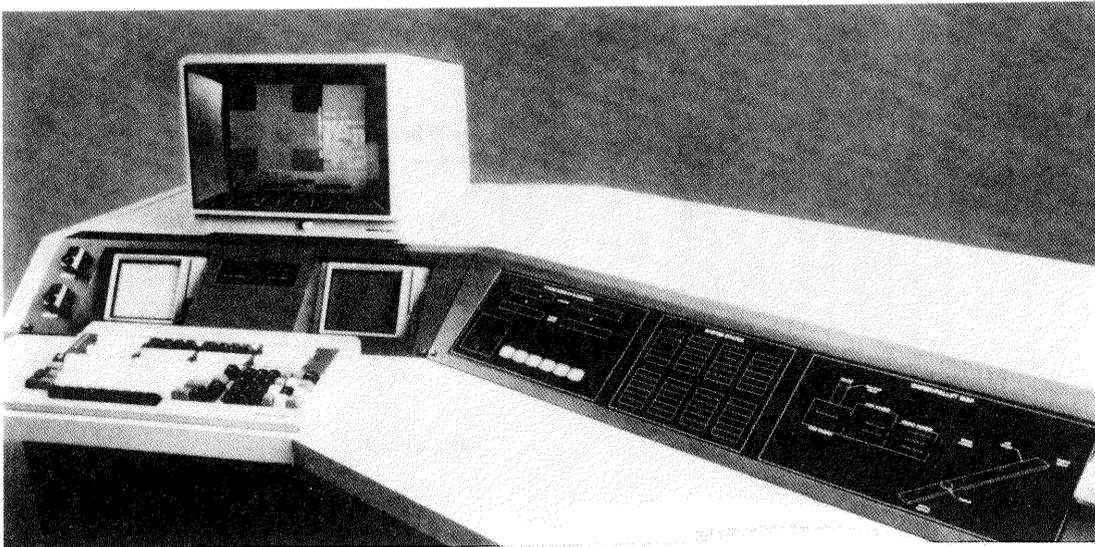
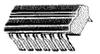


Fig. 13.18 Sistema de escrita direta por feixe de elétrons. (Cortesia da Perkin-Elmer Corporation.)

para o sistema de feixe de elétrons, usado para estabelecer os padrões exigidos no retículo. Esta técnica de “escrita direta” utiliza um sistema como o mostrado na Fig. 13.18. Ela evita alguns passos intermediários ao “cortar” o padrão da máscara diretamente da estação de trabalho. O número reduzido de etapas e a exposição direta da máscara reduz o número de falhas e omissões que eventualmente surgem no produto final. Para unidades VLSI, o tempo envolvido desde o projeto inicial até a disponibilidade da máscara pode estender-se desde alguns dias até um ou dois meses.

### 13.7 CICLO DE PRODUÇÃO

Outras prioridades neste livro não permitem que se discuta detalhadamente cada etapa do ciclo de produção, mas algumas fases importantes serão descritas, dando uma idéia razoável sobre a seqüência de fabricação dos CIs.

Após ser fatiada do lingote de crescimento, uma lâmina de silício tipo *p* é lapidada, polida (Fig. 13.19a) e checada (Fig. 13.19b) para produzir a estrutura da Fig. 13.19c. Um processo de ataque químico é também aplicado para um amaciamento extra da superfície e para remover uma camada da lâmina que possa ter sido danificada durante a seqüência de lapidação e polimento.

Uma região epitaxial tipo *n* é então acrescida sobre o substrato tipo *p* como mostrado na Fig. 13.20. É depositada de tal modo que produz uma estrutura de cristal único, com a mesma estrutura do cristal e orientação que o substrato, mas com um nível de condutividade diferente. É nesta camada epitaxial fina que os elementos ativos e passivos serão difundidos. A área tipo *p* é, essencialmente, uma estrutura de suporte que acrescenta alguma espessura à estrutura, para aumentar sua resistência e permitir um manuseio mais fácil.

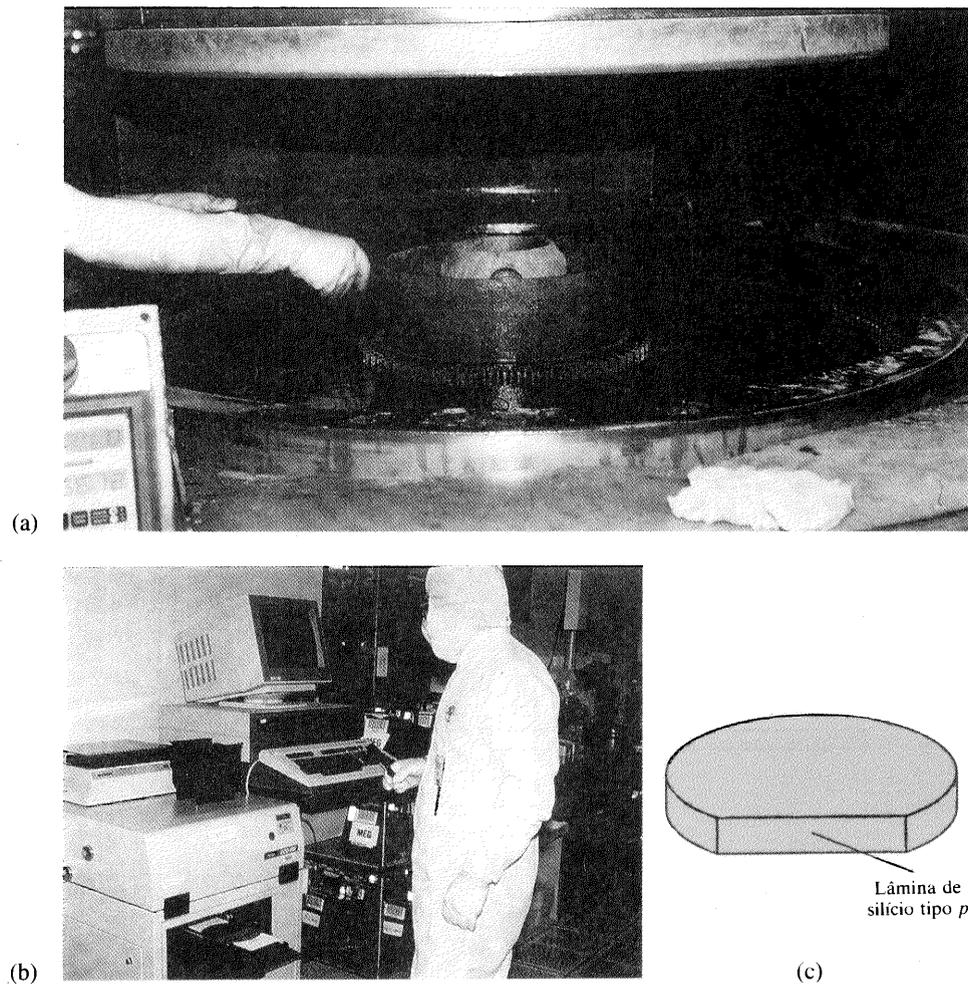
O aparato mais freqüentemente empregado no processo de deposição é o reator cilíndrico de radiação aquecida da Fig. 13.21. O receptor (silício coberto com grafite) é uma estrutura com seção transversal hexagonal sobre a qual várias lâminas são colocadas em cada face. Os gases com as impurezas desejadas são injetados na câmara e exauridos pelo alto. As lâminas são aquecidas por lâmpadas de quartzo refrigeradas a água. Retendo as

lâminas numa posição próxima da vertical (apenas a 2,5° da vertical), há menos probabilidade de contaminação da lâmina.

A seguir, a região da estrutura monolítica a ser dopada deve ser definida. Uma camada de dióxido de silício ( $\text{SiO}_2$ ) é desenvolvida na superfície da lâmina como mostrado na Fig. 13.22. Esta camada superficial previne quaisquer impurezas de adentrarem na camada epitaxial tipo *p*. Entretanto, o ataque seletivo desta camada de  $\text{SiO}_2$  permite a implantação de íons e difusão da impureza apropriada nas áreas designadas do material tipo *p*.

O aparato empregado no processo de oxidação é semelhante àquele utilizado para estabelecer a camada epitaxial nas lâminas colocadas num barco (agora feito de quartzo) e inseridas dentro de um tubo de quartzo. Tipicamente, cerca de 200 lâminas são introduzidas ao mesmo tempo. Neste caso, entretanto, a resistência do forno é enrolada em torno do tubo para elevar a temperatura entre 900°C e 1100°C. Oxigênio é introduzido no estado seco ou líquido até a camada de  $\text{SiO}_2$  desejada ser estabelecida. Desenvolvidos recentes indicam que a elevação da pressão atmosférica no recipiente permite uma redução significativa na temperatura de processamento. Para cada 1 atm (atmosfera) de aumento na pressão, há uma redução de 30°C na temperatura requerida. Em 10 atm, a temperatura pode ser reduzida em 300°C. Em temperaturas de processamento mais baixas, há, também, uma melhoria na qualidade do óxido, uma redução nas intensidades introduzidas, e uma redução ou eliminação de algumas limitações de projeto do dispositivo. O tempo envolvido no processo de oxidação pode estender-se de poucas horas até 24 horas, dependendo da espessura do óxido e da qualidade desejada.

O ataque seletivo da camada de  $\text{SiO}_2$  é conseguido através do processo fotolitográfico. A lâmina é primeiro coberta com uma camada fina de material fotossensível, comumente chamado *photoresist*, através do sistema que aparece na Fig. 13.23. A aplicação do photoresist é inteiramente controlada por computador. Um pacote de lâminas é depositado dentro do cassete receptor, mostrado na região esquerda da Fig. 13.23. O equipamento automaticamente aplica uma fricção de alta pressão, um processo de desidratação, uma cobertura resistente, e um leve cozimento. Equipamentos semelhantes então continuam o processo e cozem mais fortemente as lâminas.



**Fig. 13.19** (a) Estágio de lapidação e polimento da preparação da lâmina; (b) checagem da lâmina com o computador; (c) lâmina de silício tipo  $p$ . (Cortesia de Texas Instruments, Inc.)

O próximo passo é usar uma das máscaras desenvolvidas anteriormente para determinar as áreas da camada de  $\text{SiO}_2$  que serão removidas na preparação para o processo de difusão usando um processo fotolitográfico. Uma luz ultravioleta é aplicada utilizando um sistema de projeção que expõe as regiões do material fotossensível não cobertas pelo padrão da máscara (Fig. 13.24).

A lâmina resultante é, então, submetida a uma solução química que removerá o material fotossensível não exposto. A seção transversal de um chip (S-S da Fig. 13.24) aparecerá, então, como indicado na Fig. 13.25. Uma segunda solução ataca a camada de  $\text{SiO}_2$  nas regiões descobertas pelo material photoresist (Fig. 13.26).

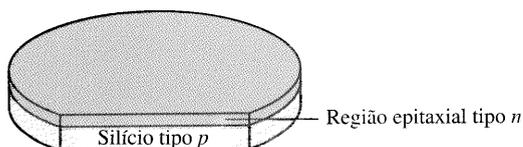
O material photoresist é então removido (um procedimento desnecessário se for utilizado o processo de implantação de íons) e a estrutura é submetida à difusão tipo  $p$  ou ao processo de im-

plantação de íons, resultando nas ilhas de regiões tipo  $n$  indicadas na Fig. 13.27. O processo assegura uma região tipo  $p$  (indicada por  $p^+$ ) entre as ilhas tipo  $n$ . As regiões  $p^+$  melhoram o isolamento entre os componentes ativos e passivos a serem formados nas ilhas tipo  $p$ .

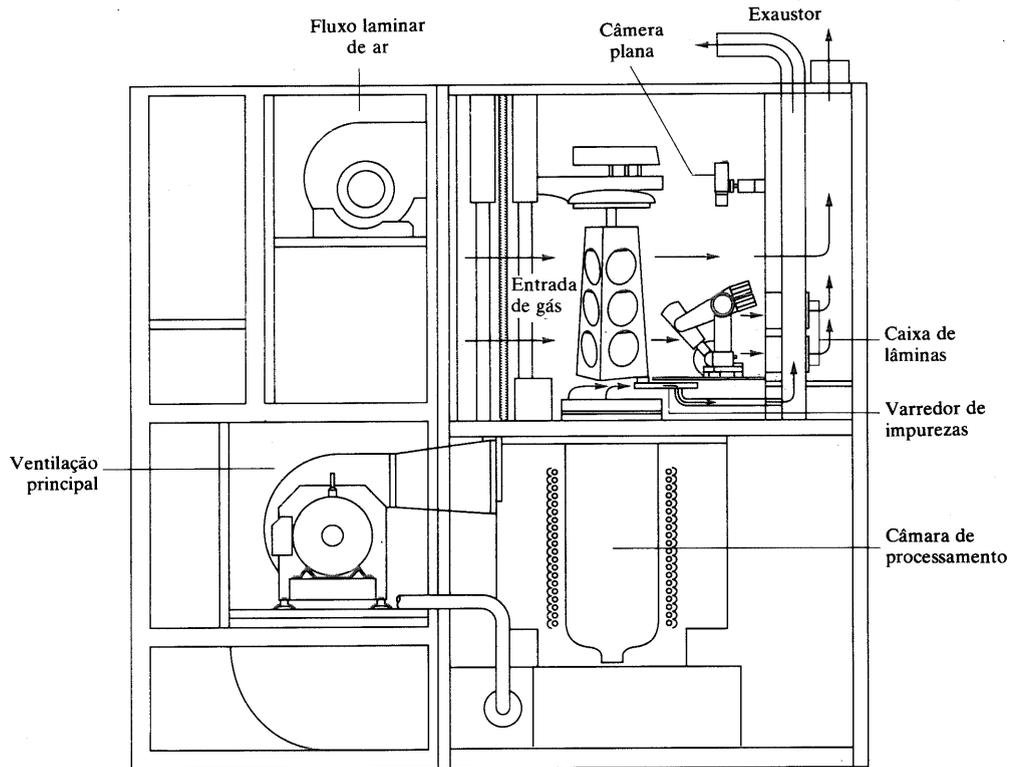
O aparato empregado inclui um barco de quartzo e um tubo (para minimizar a possibilidade de contaminação do ambiente do processo) que é aquecido por um fio de alta resistência enrolado em torno do tubo. A operação de difusão normalmente ocorre em temperaturas próximas a  $1200^\circ\text{C}$ . O sistema, como aparece na Fig. 13.28, é totalmente controlado por microprocessador. Três ou quatro pessoas podem operar 16 fornalhas; e a operação inteira, de puxar os barcos para dentro e para fora das fornalhas para monitorar a temperatura e o nível de dopagem, é controlada por computador.

Uma alternativa para o processo de difusão a alta temperatura é a *implantação de íons*. Um feixe de íons dopantes (do tamanho aproximado de um lápis) é direcionado para uma lâmina com uma velocidade muito alta por um acelerador de íons. Os íons penetram no material com uma profundidade que pode ser ajustada para menos de  $0,1 \mu\text{m}$ . A temperatura de processamento é baixa, e muitos parâmetros elétricos ficam disponíveis.

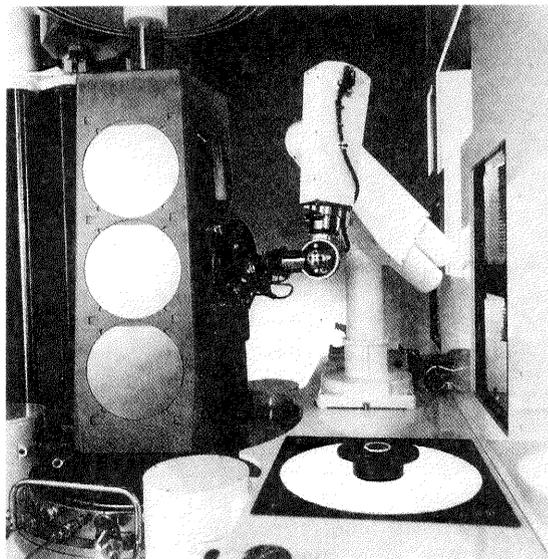
O processo de difusão ou de implantação de íons repete-se por alguns ciclos utilizando um conjunto de máscaras, como o que é



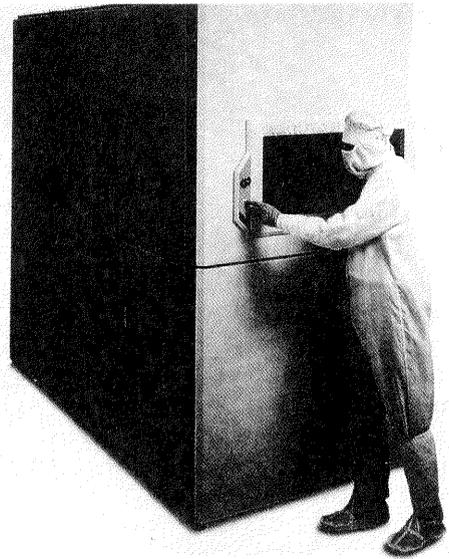
**Fig. 13.20** Lâmina de silício tipo  $p$  após o processo de difusão epitaxial tipo  $n$ .



(a)

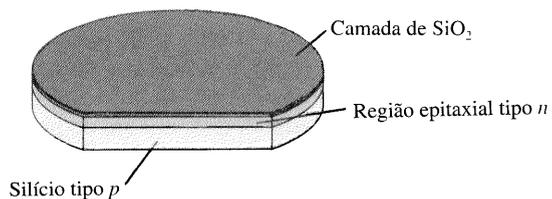


(b)



(c)

**Fig. 13.21** Reator cilíndrico de radiação aquecida: (a) Esquemático; (b) Posicionamento da lâmina não-contaminada; (c) Controle externo. (Cortesia Applied Material, Inc.)



**Fig. 13.22** Lâmina da Fig. 13.20 após o depósito da camada de  $\text{SiO}_2$ .

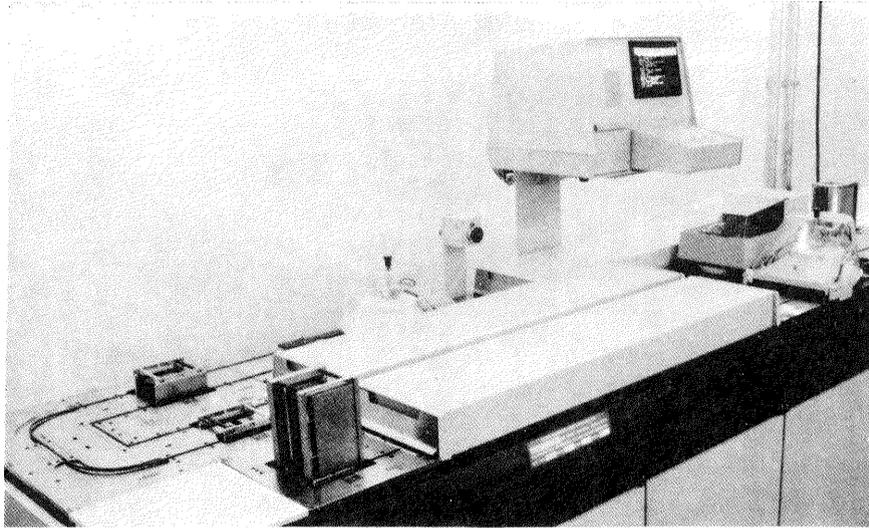


Fig. 13.23 Módulo photoresist controlado por microprocessador. (Cortesia Motorola, Inc.)

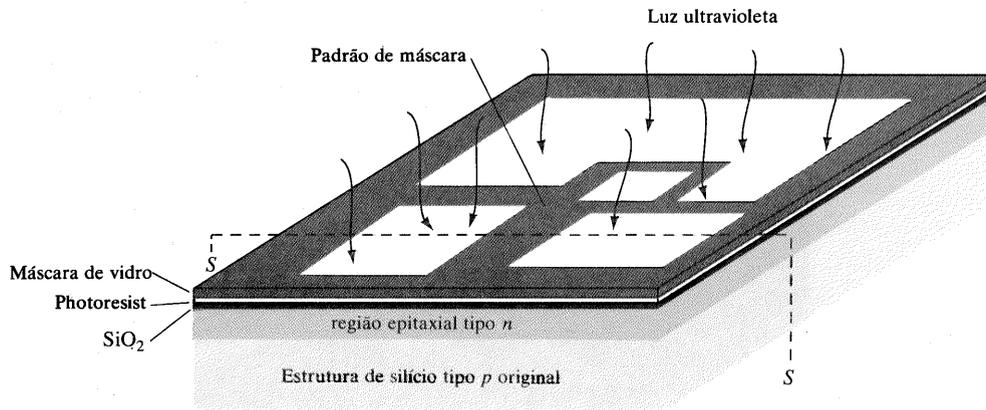


Fig. 13.24 Processo fotolitográfico: aplicação da luz ultravioleta após a máscara estar apropriadamente posicionada; a estrutura pode ser apenas uma das centenas ou milhares de circuitos de portas NAND formados em uma lâmina simples.

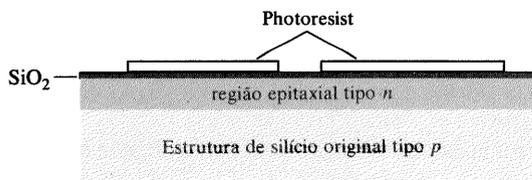


Fig. 13.25 Seção transversal (s-s) do chip da Fig. 13.24 após a remoção do photoresist não-exposto.

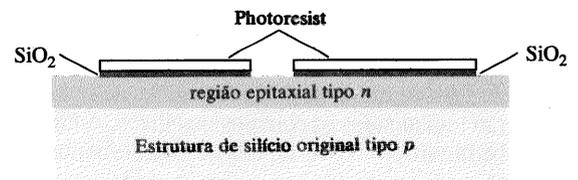


Fig. 13.26 Seção transversal da Fig. 13.25 após a remoção das regiões de SiO<sub>2</sub> descobertas.

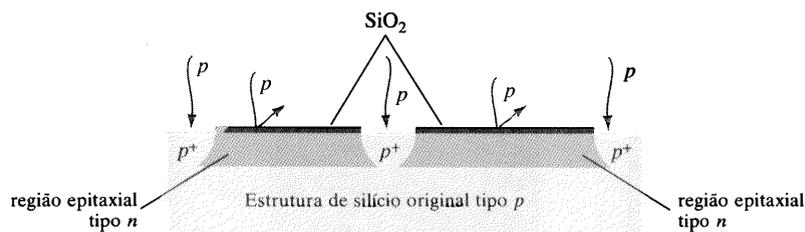


Fig. 13.27 Seção transversal da Fig. 13.26 após o processo de difusão de isolamento.

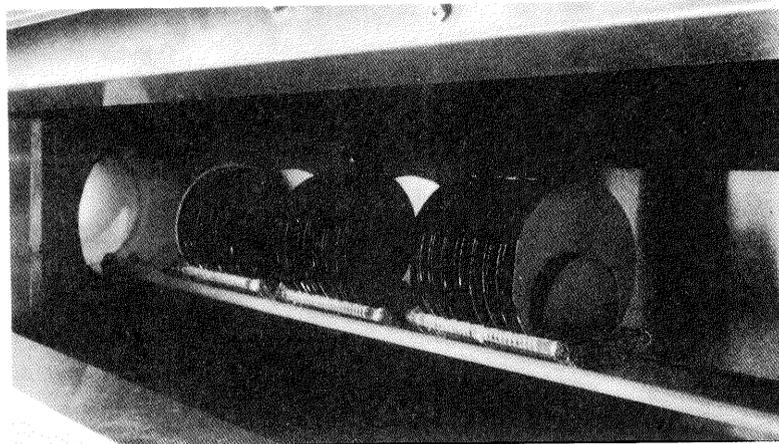
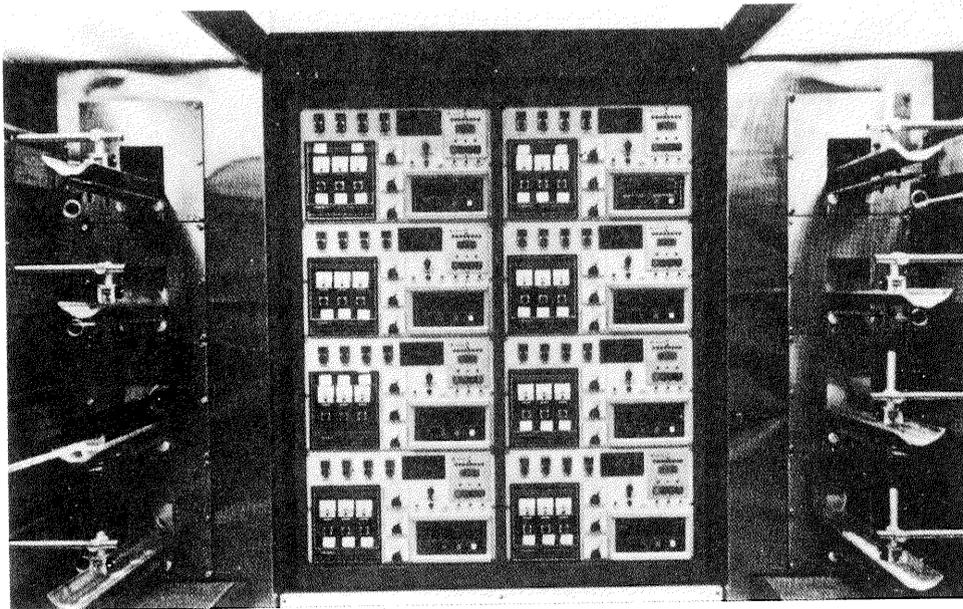


Fig. 13.28 Operação de difusão controlada por microprocessador. (Cortesia Motorola, Inc.)

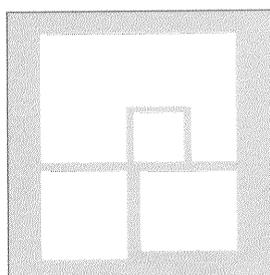
mostrado na Fig. 13.29, até resultar na estrutura da Fig. 13.30. Observe que a seção transversal da Fig. 13.30 revela que se trata de um transistor *npn*.

Um padrão final de máscara expõe as regiões de cada elemento nas quais serão implantados os contatos metálicos. A lâmina inteira é então coberta com uma fina camada de alumínio (ouro e outras ligas para aplicações especiais) que, após reagida de forma apro-

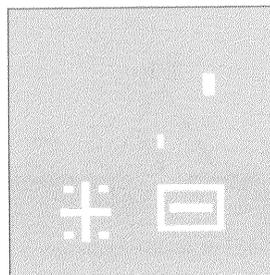
priada, resulta no padrão desejado de interconexões condutoras. O processo de metalização finalizado aparece na Fig. 13.31.

Os dois métodos mais comumente aplicados para estabelecer a camada uniforme de material condutivo são a *evaporação* e a *pulverização*.

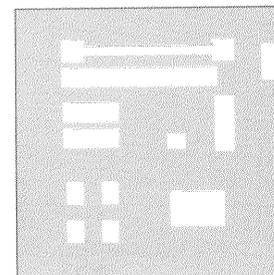
Um sistema de pulverização automatizado, que emprega unidades robotizadas mostradas na Fig. 13.32, coloca o metal-fonte



Difusão de isolamento



Difusão de emissor



Difusão de base

Fig. 13.29 Máscaras empregadas nos processos de isolamento, emissão e difusão de base (ou implantação de íons).

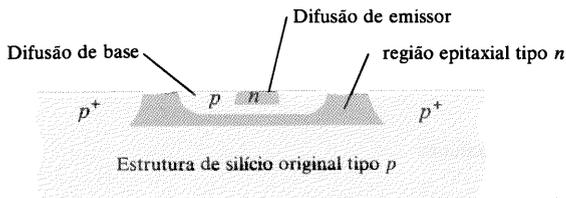


Fig. 13.30 Seção transversal do transistor após os ciclos de difusão de base e emissor.

(em um potencial extremamente negativo) oposto, mas sem tocar, a uma placa anódica com um potencial positivo. Um gás inerte, como por exemplo o argônio, introduzido entre as placas, libera íons positivos que bombardeiam a placa negativa e pulverizam parte do metal da superfície da fonte. O metal “livre” é então depositado nas lâminas da superfície do anodo.

No sistema de evaporação, o metal é fundido por bobinas de aquecimento ou bombardeado por um canhão de elétrons (E-gun) resultando na evaporação do metal-fonte. O material de metalização é então borrifado sobre as lâminas que estão seguras por clips em um tambor ou estrutura hemisférica como mostra a Fig. 13.33.

Normalmente prefere-se utilizar o método de pulverização ao método de evaporação porque a cobertura é mais precisa. Há, portanto, uma camada mais uniforme de deposição sobre junções abruptas.

O circuito e o layout completo para a porta NAND construído conforme a seqüência acima são mostrados na Fig. 13.34. Tente associar as trilhas metálicas de interconexão ao circuito original.

## Passivação

Uma camada de  $\text{SiO}_2$  depositada sobre a superfície da estrutura inteira age como uma camada de proteção efetiva para vapores de água e alguns contaminantes. Entretanto, certos íons de metais podem migrar através da camada de  $\text{SiO}_2$  e perturbar as características do dispositivo. No esforço de melhorar o processo de passivação, uma camada (2000 a 5000 Å) de vidro dopado com fósforo é aplicada para repelir íons, equilibrar os esforços e reduzir o problema de degradação.

## Teste

Antes de serrar a lâmina em peças individuais, um teste elétrico de cada peça é realizado por um sistema de inspeção mostrado

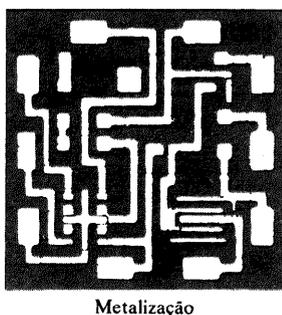


Fig. 13.31 Processo de metalização finalizado. (Cortesia Motorola Monitor.)

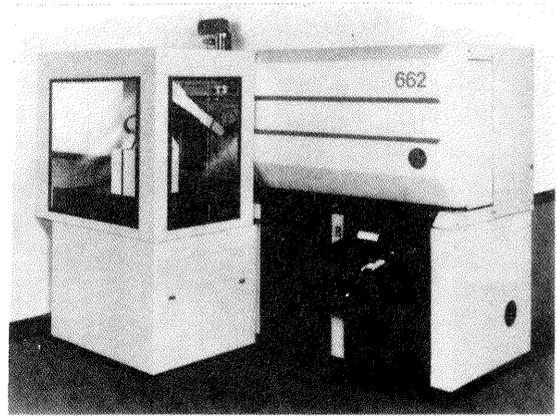


Fig. 13.32 Revestidor de pulverização automatizado. (Cortesia Perkin-Elmer Corporation.)

na Fig. 13.35. O sistema automaticamente carrega/descarrega as lâminas usando carrosséis, diminuindo ainda mais a necessidade de manuseio no processo. Este processo, como muitos do ciclo de produção, é também controlado por computador. Há um cartão de prova para cada CI que permite não somente rejeitar, mas categorizar os tipos de falhas (aberto, curto, ganho etc). A peça ruim é identificada por um ponto vermelho depositado automaticamente pelo sistema de inspeção.

## Encapsulamento

Uma vez finalizados os processos de metalização e teste, a lâmina deve ser separada em chips individuais. Isto é conseguido através do processo de serragem. Cada chip individual pode então ser encapsulado em uma das formas mostradas na Fig. 13.36.

## 13.8 CIRCUITOS INTEGRADOS DE FILME FINO E ESPESSE

As características gerais, propriedades e aspecto dos circuitos integrados de filmes fino e espesso são semelhantes, embora ambos difiram em muitos aspectos do circuito integrado monolítico. Eles não são formados dentro de uma lâmina de semicondutor, mas *sobre* a superfície de um substrato de isolamento, como o vidro ou um material cerâmico apropriado. Por sua vez, *somente* elementos passivos (resistores, capacitores) são formados através das técnicas de filme fino ou espesso, na superfície de isolamento. Os elementos ativos (transistores, diodos) são adicionados como elementos *discretos* à superfície da estrutura após os elementos passivos terem sido formados. Os dispositivos ativos discretos são geralmente produzidos usando o processo monolítico.

A diferença principal entre as técnicas de filme fino e espesso é o processo empregado para formar os componentes passivos e o padrão de condução metálica. O circuito de filme fino emprega uma técnica de evaporação ou técnica de pulverização do catodo; o filme espesso emprega técnicas de silk-screen. Outras prioridades deste livro não permitem uma descrição desses processos aqui.

Em geral, os componentes passivos de circuitos de filme podem ser formados com uma ampla faixa de valores e com

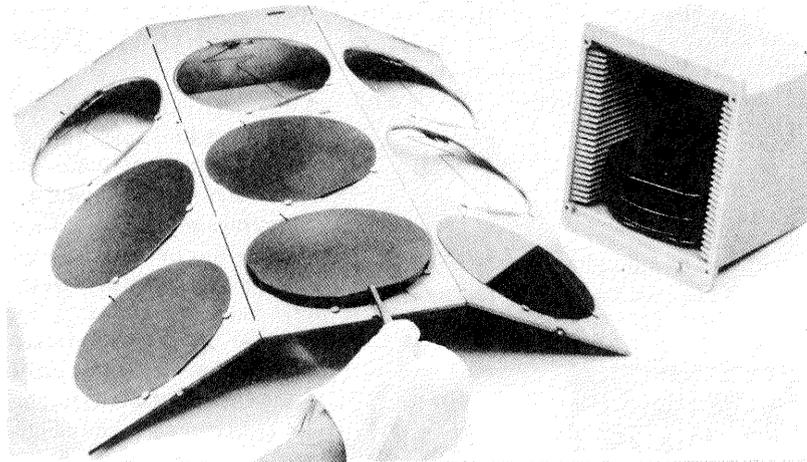
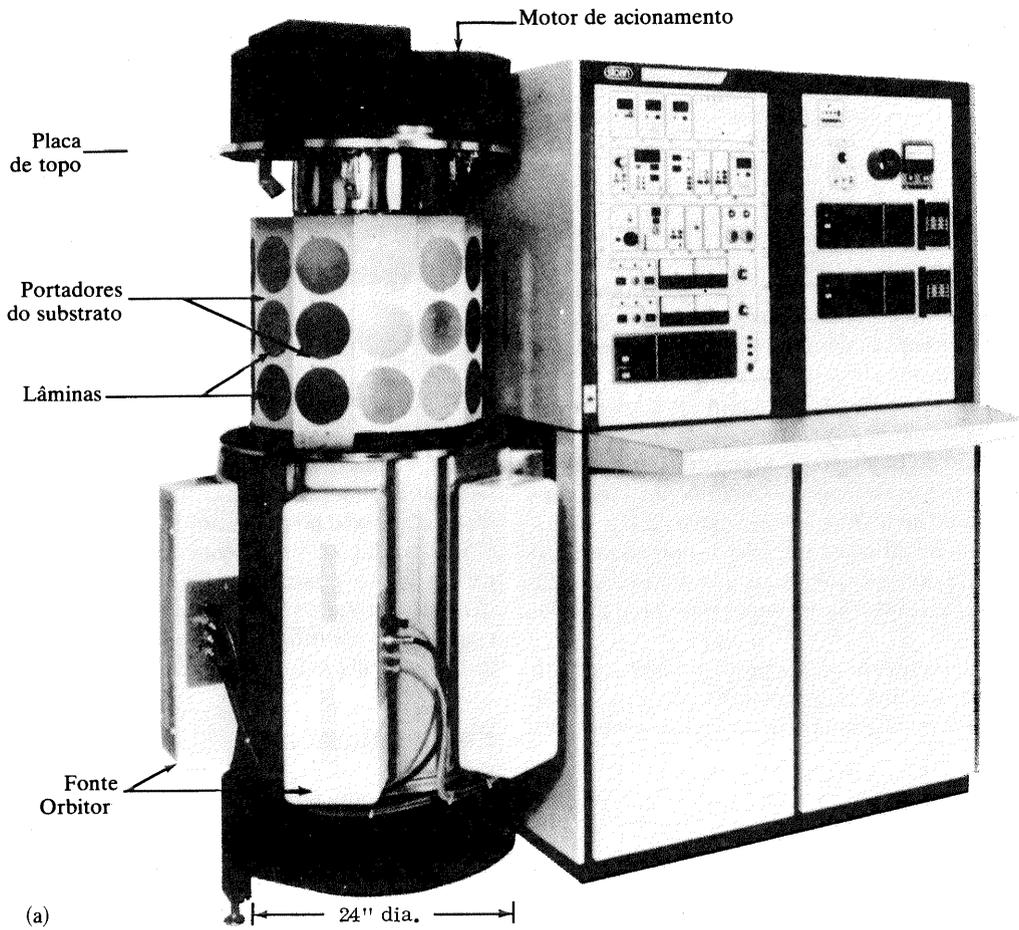
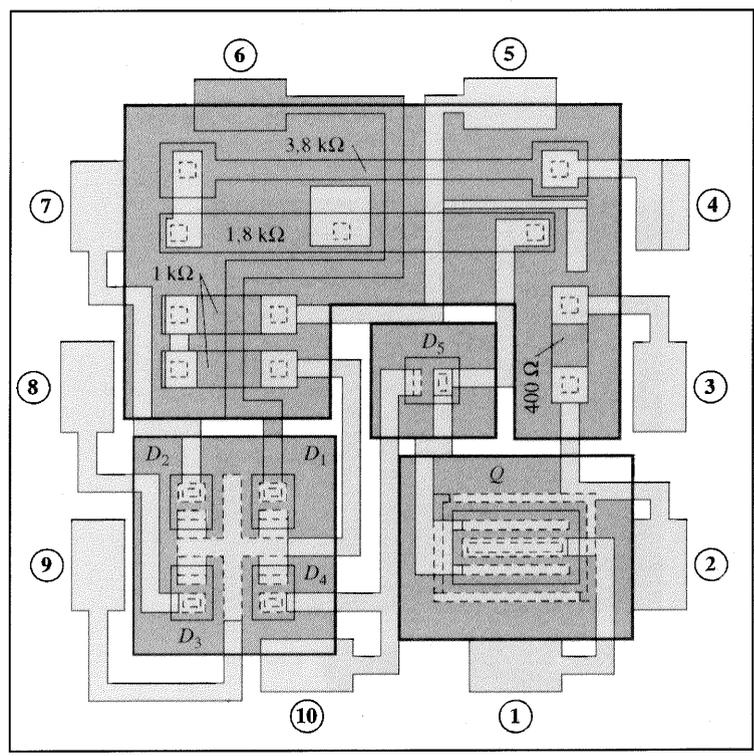
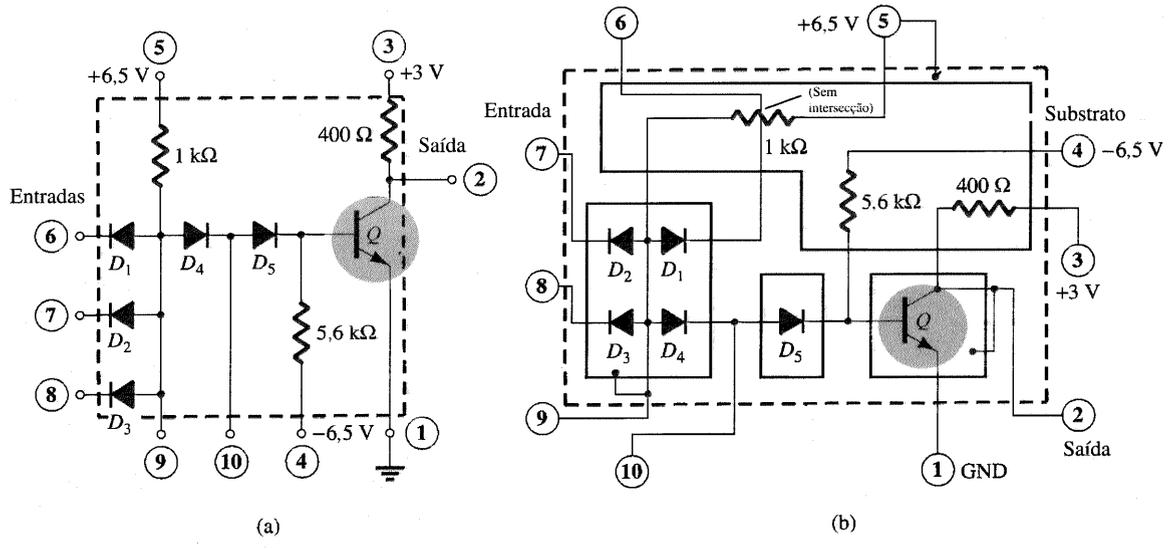
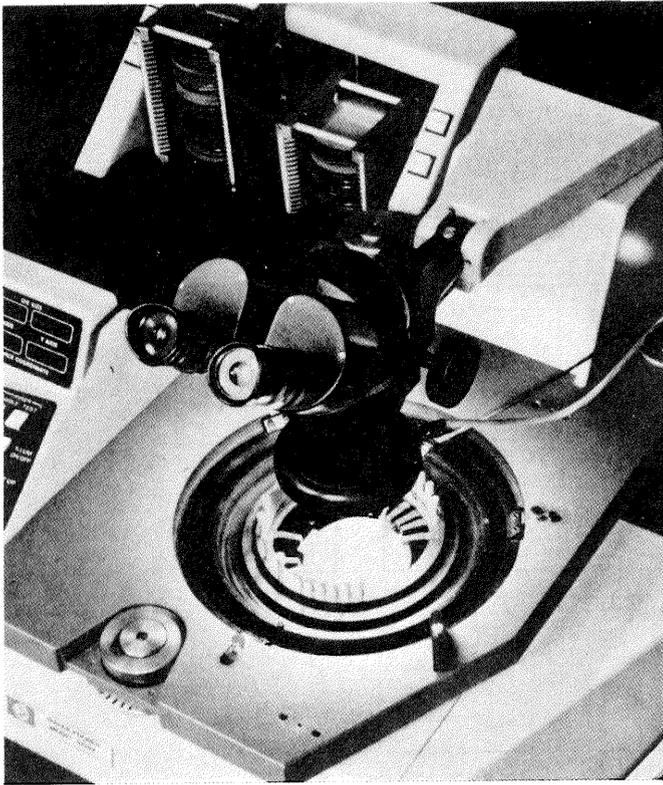


Fig. 13.33 Deposição do metal de interconexão através da evaporação de metal. (Cortesia Motorola, Inc.)

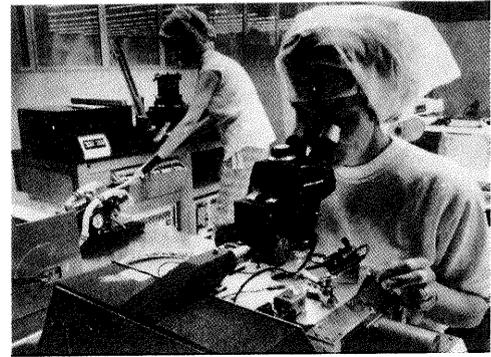


(c) — Indica região de isolamento      Indica metalização

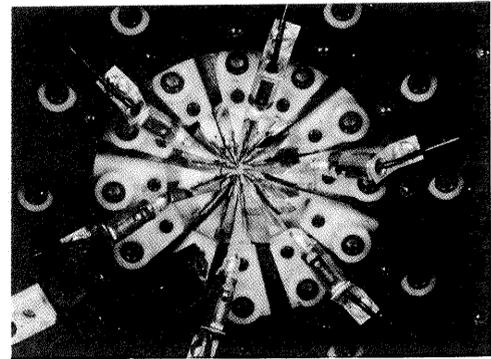
Fig. 13.34 Porta NAND: (a) circuito; (b) layout para a fabricação monolítica; (c) estrutura monolítica.



(a)

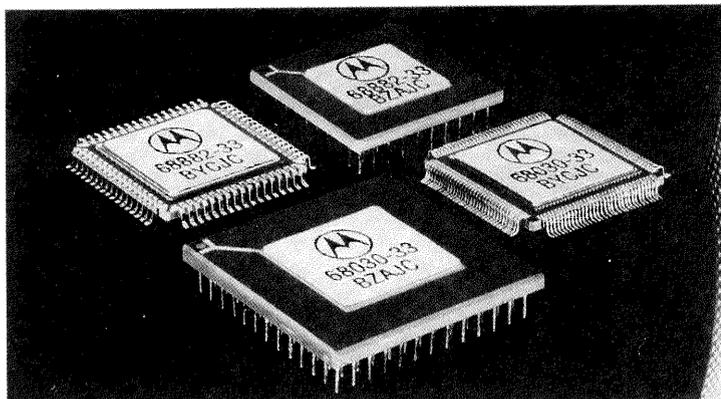
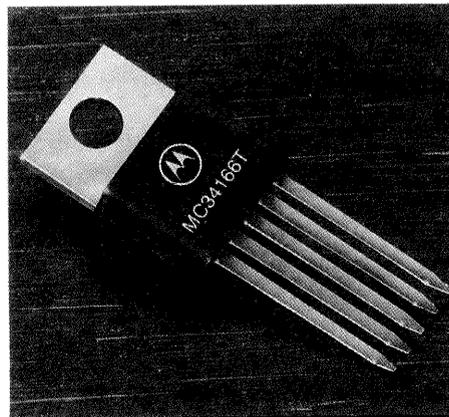
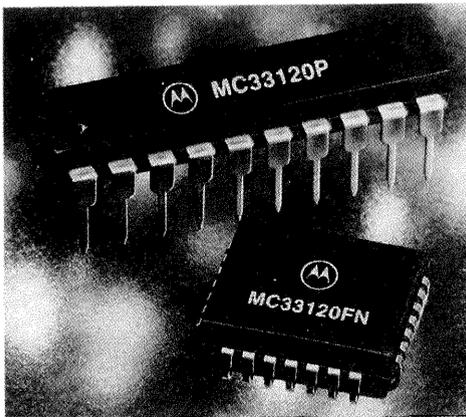


(b)



(c)

**Fig. 13.35** Teste elétrico das peças individuais. [(a) Estação de teste multiprova, Cortesia Electroglas, Inc.; (b) Inspeção manual, Cortesia Texas Instruments, Inc.; (c) Contatos multiprova tocam o chip, Cortesia Autonetics, North American Rockwell Corporation.]



**Fig. 13.36** Técnicas de encapsulamento monolítico. (Cortesia Motorola, Inc.)



tolerâncias reduzidas quando comparados a CIs monolíticos. O uso de elementos discretos também aumenta a flexibilidade de projeto de circuitos de filme, embora, obviamente, o circuito resultante seja muito maior. O custo de circuitos de filme com um grande número de elementos é também, em geral, consideravelmente maior que o de circuitos integrados monolíticos.

### 13.9 CIRCUITOS HÍBRIDOS INTEGRADOS

O termo *circuito híbrido integrado* é aplicado para uma ampla variedade de circuitos integrados multichips e também para aqueles formados pela combinação de técnicas de filme e CI monolíticos. O circuito integrado multichip emprega a técnica monolítica ou de filme para formar os vários componentes ou conjunto de circuitos individuais, os quais são então interconectados sobre um substrato de isolamento e encapsulados no mesmo invólucro. Um circuito integrado deste tipo é mostrado na Fig. 13.37. Em um tipo mais sofisticado de circuito híbrido integrado, os dispositivos ativos são formados primeiro dentro de uma lâmina semicondutora, a qual é subsequente coberta com uma camada de isolamento como  $\text{SiO}_2$ . Técnicas de filme são então empregadas

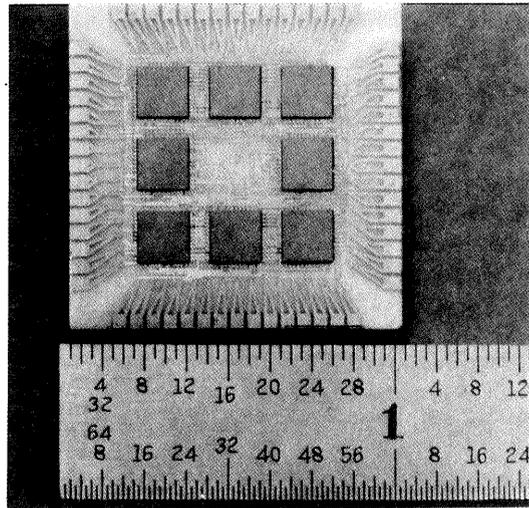


Fig. 13.37 Circuitos híbridos integrados. (Cortesia Texas Instruments, Inc.)

para formar os elementos passivos sobre a superfície de  $\text{SiO}_2$ . Conexões são feitas do filme para a estrutura monolítica, através de "janelas" cortadas na camada de  $\text{SiO}_2$ .